

MACHINE-ASSISTED TRANSLATION (MAT):

(19)【発行国】 日本国特許庁 (J P)	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12)【公報種別】 公開特許公報 (A)	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11)【公開番号】 特開平 6-203584	(11)[KOKAI NUMBER] Unexamined Japanese Patent Heisei 6-203584
(43)【公開日】 平成 6 年 (1 9 9 4) 7 月 2 2 日	(43)[DATE OF FIRST PUBLICATION] July 22, Heisei 6 (1994. 7.22)
(54)【発明の名称】 不揮発性半導体記憶装置	(54)[TITLE OF THE INVENTION] Non-volatile semiconductor memory
(51)【国際特許分類第 5 版】 G11C 16/06	(51)[IPC 5] G11C 16/06
【 F I 】 G11C 17/00 309 D 6866-5L	【 FI 】 G11C 17/00 309 D 6866-5L
【審査請求】 未請求	[REQUEST FOR EXAMINATION] No
【請求項の数】 1 2	[NUMBER OF CLAIMS] 12
【全頁数】 1 1	[NUMBER OF PAGES] 11
(21)【出願番号】 特願平 4-349481	(21)[APPLICATION NUMBER] Japanese Patent Application Heisei 4-349481

(22) 【出願日】

平成4年（1992）12月28日

(22)[DATE OF FILING]

December 28, Heisei 4 (1992. 12.28)

(71) 【出願人】**【識別番号】**

000005223

(71)[PATENTEE/ASSIGNEE]**[ID CODE]**

000005223

【氏名又は名称】

富士通株式会社

[NAME OR APPELLATION]

Fujitsu Ltd.

【住所又は居所】神奈川県川崎市中原区上小田中
1015番地**[ADDRESS OR DOMICILE]****(72) 【発明者】****【氏名】**

笠 靖

(72)[INVENTOR]**[NAME OR APPELLATION]**

Ryu Yasushi

【住所又は居所】神奈川県川崎市中原区上小田中
1015番地 富士通株式会社
内**[ADDRESS OR DOMICILE]****(74) 【代理人】****【弁理士】****【氏名又は名称】**

青木 朗 （外3名）

(74)[AGENT]**[PATENT ATTORNEY]****[NAME OR APPELLATION]**

Aoki Akira (and 3 others)

(57) 【要約】**(57)[ABSTRACT OF THE DISCLOSURE]**

【目的】

本発明はデータの書き込み時又は消去時に、読出時に使用する電源電圧よりも高い電源電圧を必要とする不揮発性半導体記憶装置に関し、二電源を使用するが、実質的に単一電源と同様の操作で利用できる使用方法の容易な不揮発性半導体記憶装置の実現を目的とする。

[PURPOSE]

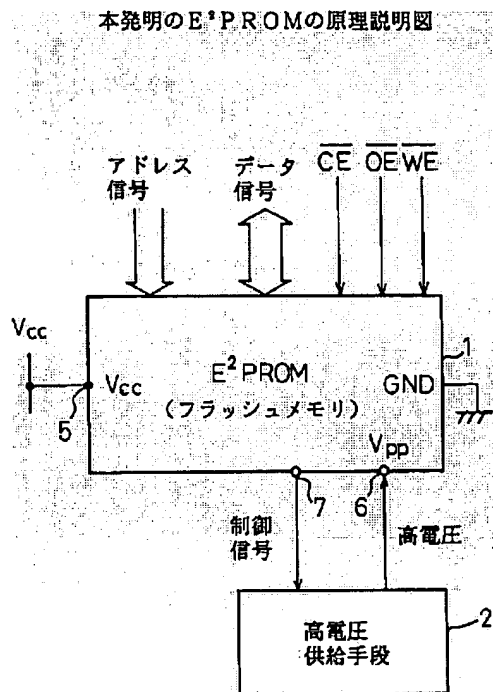
This invention relates to a non-volatile semiconductor memory which needs source voltage higher than source voltage which is used at the time of read-out, when data is written or eliminated. It aims at an achievement of a non-volatile semiconductor memory with a easy application method which uses two power sources, but which can be used substantially by the operation similar to a single power source.

【構成】

データの書き込み時又は消去時に、読出時に使用する電源電圧 V_{cc} よりも高い電源電圧 V_{pp} を必要とし、標準電源用端子 5 の他に外部の高電圧供給手段 2 から供給される前記高電圧用の電源端子 6 を備える不揮発性半導体記憶装置において、高電圧供給手段 2 に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子 7 を備えるように構成する。

[CONSTITUTION]

In a non-volatile semiconductor memory which needs the source voltage V_{pp} higher than the source voltage V_{cc} which is used at the time of read-out when data is written or eliminated, and which is equipped with the power terminal 6 for said high voltages supplied from the external high-voltage supply means 2 besides terminal 5 for standard power sources, it is comprised so that it is equipped with the high-voltage control-signal terminal 7 which outputs the control signal which controls whether it makes the high voltage supply to the high-voltage supply means 2.



本発明の E2PROM の原理説明図: principle explanatory drawing of E2PROM of this invention

1: Non-volatile semiconductor memory

2: High-voltage supply means

5: Terminal for standard power sources

6: Power terminal for high voltages

アドレス信号: Address signal

データ信号: Data signal

フラッシュメモリ: Flash memory

制御信号: Control signal

高電圧: High voltage

【特許請求の範囲】

[CLAIMS]

【請求項 1】

データの書き込み時又は消去時に、読出時に使用する電源電圧 (V_{cc}) よりも高い電源電圧

[CLAIM 1]

A non-volatile semiconductor memory, in which, in a non-volatile semiconductor memory which needs source voltage (V_{pp}) higher than source



(V_{pp})を必要とし、標準電源用端子(5)の他に外部の高電圧供給手段(2)から供給される前記高電圧用の電源端子(6)を備える不揮発性半導体記憶装置において、前記高電圧供給手段(2)に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子(7)を備えることを特徴とする不揮発性半導体記憶装置。

【請求項 2】

当該不揮発性半導体記憶装置に入力されるコマンド信号から高電圧が必要な動作であるかを判定するコマンド判定手段(49)を備え、該コマンド判定手段(49)は高電圧が必要なコマンドの時には高電圧供給の開始を指示する前記制御信号を出力し、高電圧が必要でなければ高電圧供給の停止を指示する前記制御信号を出力することを特徴とする請求項1に記載の不揮発性半導体記憶装置。

【請求項 3】

供給される高電圧の電圧値が所定値以上であることを判定する電圧確認手段(48)を備え、供給される高電圧が所定値以上になった時点から高電圧が必要な動作を開始することを特徴とする請求項1又は2に記載の不

voltage (V_{cc}) which is used at the time of read-out when data is written or eliminated, and which is equipped with the power terminal for said high voltages (6) supplied from external high-voltage supply means (2) besides the terminal for standard power sources (5), it has the high-voltage control-signal terminal (7) which outputs the control signal which controls whether it supplies high voltage to said high-voltage supply means (2).

[CLAIM 2]

A non-volatile semiconductor memory of Claim 1, which has command evaluation means (49) to judge whether an action needs high voltage from a command signal input into said non-volatile semiconductor memory, and this command evaluation means (49) will output said control signal which commands the start of high-voltage supply, when the command needs high voltage, it will output said control signal which commands the stop of high-voltage supply, when the command does not need high voltage.

[CLAIM 3]

A non-volatile semiconductor memory of Claim 1 or 2, in which the high voltage starts required action from the time of having voltage check means (48) to judge that the voltage value of the high voltage supplied is beyond a prescribed value, and the high voltage supplied becoming more than a prescribed value.



揮発性半導体記憶装置。

【請求項 4】

前記高電圧の開始を指示する制御信号の喪失送出から所定時間経過後、高電圧が必要な動作を開始させる遅延手段（72）を備えることを特徴とする請求項 1、2 又は 3 のいずれかに記載の不揮発性半導体記憶装置。

[CLAIM 4]

A non-volatile semiconductor memory in any one of Claim 1, 2 or 3, in which the high voltage is equipped with delay means (72) to make required action start, after predetermined time passage from loss sending out of a control signal which commands the start of said high voltage.

【請求項 5】

データの書き込み時又は消去時に、読出時に使用する電源電圧（Vcc）よりも高い電源電圧（Vpp）を必要とし、該高電源電圧（Vpp）を供給する昇圧用スイッチング回路（103）を内蔵する不揮発性半導体記憶装置において、
当該不揮発性半導体記憶装置に入力されるコマンド信号から高電圧が必要な動作であるかを判定するコマンド判定手段（49）を備え、該コマンド判定手段（49）は高電圧が必要なコマンドの時には高電圧供給の開始を指示する前記制御信号を出力し、高電圧が必要でなければ高電圧供給の停止を指示する前記制御信号を出力することを特徴とする不揮発性半導体記憶装置。

[CLAIM 5]

A non-volatile semiconductor memory, in which at the time of writing-in of data, or elimination, it needs a source voltage (Vpp) higher than the source voltage (Vcc) which it uses at the time of read-out, in the non-volatile semiconductor memory which contains the switching circuit (103) for pressure rises which supplies this high source voltage (Vpp), it has command evaluation means (49) to judge whether the high voltage is required action from the command signal input into said non-volatile semiconductor memory, and this command evaluation means (49) output said control signal which commands the start of high-voltage supply, when the high voltage is a required command, if the high voltage is not required, it will output said control signal which commands the stop of high-voltage supply.

【請求項 6】

前記昇圧用スイッチング回路（103）を構成する受動部品

[CLAIM 6]

A non-volatile semiconductor memory of Claim 5, in which the passive component part which

は、当該不揮発性半導体記憶装置の外部より取り付けられることを特徴とする請求項 5 に記載の不揮発性半導体記憶装置。

【請求項 7】

前記外付けされる受動部品は、インダクタンス素子であることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

comprises said switching circuit (103) for pressure rises is attached from the exterior of said non-volatile semiconductor memory.

[CLAIM 7]

A non-volatile semiconductor memory of Claim 6, in which said passive component part attached is an inductance element.

【請求項 8】

前記外付けされる受動部品は、容量素子であることを特徴とする請求項 6 に記載の不揮発性半導体記憶装置。

[CLAIM 8]

A non-volatile semiconductor memory of Claim 6, in which said passive component part attached is a capacity element.

【請求項 9】

供給される高電圧の電圧値が所定値以上であることを判定する電圧確認手段（48）を備え、供給される高電圧が所定値以上になった時点から高電圧が必要な動作を開始することを特徴とする請求項 5 乃至 8 のいずれかに記載の不揮発性半導体記憶装置。

[CLAIM 9]

A non-volatile semiconductor memory in any one of claims 5 thru/or 8, in which the high voltage starts required action from the time of having voltage check means (48) to judge that the voltage value of the high voltage supplied is beyond a prescribed value, and the high voltage supplied becoming more than a prescribed value.

【請求項 10】

前記高電圧の開始を指示する制御信号の喪失送出から所定時間経過後、高電圧が必要な動作を開始させる遅延手段（72）を備えることを特徴とする請求項 5 乃至 8 のいずれかに記載の不揮発性半導体記憶装置。

[CLAIM 10]

A non-volatile semiconductor memory in any one of claims 5 thru/or 8, in which the high voltage is equipped with delay means (72) to make required action start, after predetermined time passage from loss sending out of a control signal which commands the start of said high voltage.

**【請求項 11】**

当該不揮発性半導体記憶装置と前記外付けされる受動部品とを同一パッケージ内に封止したことを特徴とする請求項 6 乃至 10 のいずれかに記載の不揮発性半導体記憶装置。

[CLAIM 11]

A non-volatile semiconductor memory in any one of claims 6 thru/or 10, which blocked said non-volatile semiconductor memory and said passive component part attached in the same package.

【請求項 12】

不揮発性半導体記憶装置を記憶手段の一部として備え、該不揮発性半導体記憶装置の書き込み時又は消去時に必要とする高電圧を発生する昇圧用スイッチング回路も備えるコンピュータシステムにおいて、前記不揮発性半導体記憶装置へのアクセス動作に応じて自動的に前記昇圧用スイッチング回路の制御信号を発生する制御手段を備えることを特徴とする不揮発性半導体記憶装置を有するコンピュータシステム。

[CLAIM 12]

In the computer systems which are equipped with a non-volatile semiconductor memory as some memory means, and are equipped also with the switching circuit for pressure rises which generates the high voltage which it needs at the time of writing-in of this non-volatile semiconductor memory, or elimination, it has control means to generate the control signal of said switching circuit for pressure rises automatically according to access action to said non-volatile semiconductor memory.

Computer systems which have the non-volatile semiconductor memory characterized by the above-mentioned.

【発明の詳細な説明】**[DETAILED DESCRIPTION OF THE INVENTION]****【0001】****[0001]****【産業上の利用分野】****[INDUSTRIAL APPLICATION]**

本発明は、書き込み時又は消去時に、読出時に用いる電源電圧よりも高い電源電圧を必要とする不揮発性半導体記憶装置に関

This invention relates to the non-volatile semiconductor memory which needs a source voltage higher than the source voltage which it uses at the time of read-out at the time of

し、特に電氣的に記憶データの消去が行える E E P R O M (Electrically Erasable Programmable Read Only Memory)に関する。消去を装置全体で又はブロック毎に一括して行うフラッシュメモリはこの E E P R O M の一種である。

writing-in or elimination.

Specifically, it is related with EEPROM (Electrically Erasable Programmable Read Only Memory) which can perform elimination of a store data electrically.

The flash memory which is the whole apparatus, or bundles up elimination for every block and performs it is 1 type of this EEPROM.

【 0 0 0 2 】

[0002]

【従来の技術】

近年、記憶データを電氣的に消去できる不揮発性半導体記憶装置、いわゆる E E P R O M が注目されており、その中でもフラッシュメモリは高集積化が可能なことから磁気記憶装置を置き換えるものとして注目されている。以下、フラッシュメモリを例として説明を行うが、本発明は通常の E E P R O M にも適用可能である。

[PRIOR ART]

In recent years, the non-volatile semiconductor memory which can eliminate a store data electrically, and what is called EEPROM attract attention, among these, since high integration of a flash memory is possible, it attracts attention as what replaces a magnetic storage.

Hereafter, it gives explanation by making a flash memory into an example.

However, this invention is applicable also to the usual EEPROM.

【 0 0 0 3 】

[0003]

フラッシュメモリは、フローティングゲートとコントロールゲートの二重構造を持ち、フローティングゲートに電荷が蓄積されているかいないかで情報の記憶を行う。書き込みは、コントロールゲートに + 1 2 V 程度の高電圧を印加し、ドレインに + 6 V 程度の電圧を印加し、ソースを接地することにより、フローティングゲートにホットエレ

A flash memory has the double structure of a floating gate and a control gate, and that the charge is accumulated in the floating gate performs the memory of information by whether to buy and there to be.

As for Writing-in, it is common to carry out by implanting a hot electron into a floating gate by applying high voltage, about +12V, to a control gate, applying about +6V voltage to a drain, and grounding a source.

At the time of read-out, it applies about +5V

クトロンを注入して行うのが一般的である。読出時には、コントロールゲートに+5V程度の電圧を印加し、ドレインに+1V程度の電圧を印加し、ソースを接地して、フローティングゲート内の電荷蓄積の有無によって異なる電流差を検出することによって行う。消去時には、ソースに+12V程度の高電圧を印加し、コントロールゲートを接地し、ドレインを開放して、バンド間トンネル電流を発生させて電子をフローティングゲートからソースに引き抜く。書き込み時には、ドレイン電流として数mA程度の電流が流れ、全体では数十mA程度の電流が流れる。そのため電圧 V_{cc} (+5V) の標準電源だけでなく、高電圧 V_{pp} (+12V) を出力する高電圧電源が必要になる。

【0004】

図11はフラッシュメモリを有するコンピュータシステムで、標準電源に加えて高電圧供給源を設けた時の従来の構成を示している。図において、111は中央処理装置(CPU)、112はROM/RAM、113は入出力ポート(I/O)ポート、114は周辺装置、115はフラッシュメモリ、118は高電圧供給源、119は高電圧供給源118をシステムが制御する

voltage to a control gate, it applies about +1V voltage to a drain, it grounds a source, it carries out by detecting the electric-current difference which changes with existence of the charge storage in a floating gate.

At the time of elimination, it applies high voltage, about +12V, to a source, it grounds a control gate, it opens a drain wide, it generates the tunneling current between bands and draws out an electron in a source from a floating gate.

At the time of writing-in, an about several mA electric current flows as a drain electric current, on the whole, an about tens of mA electric current flows.

Therefore, the high-voltage power supply which outputs not only the standard power source of a voltage V_{cc} (+5V) but the high voltage V_{pp} (+12V) is needed.

[0004]

FIG. 11 is the computer systems which have a flash memory, and shows the composition of the past when providing a high-voltage supply source in addition to a standard power source. In the figure, 111 is a central processing unit (CPU), 112 is a ROM/RAM, 113 is an input-output port (I/O) port, 114 is peripheral equipment, 115 is a flash memory, 118 is a high-voltage supply source, 119 is a control port for a system to control the high-voltage supply source 118.

The high-voltage supply source 118 comprises



ための制御ポートである。高電圧供給源 118 は高電圧制御回路 116 と高電圧発生部 117 で構成されており、制御ポート 119 を介した CPU 111 からの制御により、フラッシュメモリ 115 へ高電圧 V_{pp} を供給するかしないかが制御される。高電圧発生部 117 は固定電源の場合も、昇圧回路の場合もある。固定電源であれば、高電圧制御回路 116 は単なる切り換えスイッチである。昇圧回路であれば、消費電力低減のため必要に応じて回路が起動できるようにになっており、高電圧制御回路 116 はその制御回路になる。

【0005】

フラッシュメモリを使用したコンピュータシステムでは、フラッシュメモリに対して頻繁に書き込み又は消去を行うことはなく、高電圧は必要に応じて供給される。図 12 は図 11 のコンピュータシステムにおける書込／消去動作時の高電圧源の制御を示すフローチャートである。図に従って動作を簡単に説明する。ステップ 1201 では、高電圧源制御ポート 119 に高電圧の供給を指示する信号が出力される。これにより、もし固定電源であれば高電圧制御回路 116 が高電圧を供給する側に切

a high-voltage control circuit 116 and a high-voltage generating part 117, it is controlled by control from CPU111 through a control port 119 whether it supplies the high voltage V_{pp} to a flash memory 115 or it does not carry out.

As for the high-voltage generating part 117, the case of a fixed power source also has the case of a pressure-rise circuit.

If it is a fixed power source, the high-voltage control circuit 116 is a mere transfer switch.

If it is a pressure-rise circuit, it can start a circuit as required for power-consumption reduction, the high-voltage control circuit 116 turns into the control circuit.

[0005]

In the computer systems which use a flash memory, it does not perform writing-in or elimination frequently to a flash memory, and the high voltage is supplied as required.

FIG. 12 is a flowchart which shows control of the source of the high voltage at the time of writing/elimination action in the computer systems of FIG. 11.

According to a figure, it demonstrates action easily.

At step 1201, the signal which commands supply of the high voltage in the source control port 119 of the high voltage is outputted.

Thereby, if it is a fixed power source, the high-voltage control circuit 116 will be switched to the side which supplies the high voltage.



り換えられる。昇圧回路であれば、昇圧が開始される。

A pressure rise will be started if it is a pressure-rise circuit.

【0006】

ステップ1202では、十分な高電圧が供給されるまでの待機動作が行われる。もし固定電源であれば、このステップは必要ない。ステップ1203では、フラッシュメモリへの書き込み又は消去コマンドが書き込まれる。ステップ1204とステップ1205は、ステップ1203の後の状態を確認する部分であり、問題がなければ、ステップ1203で高電圧源制御ポート119を介して高電圧の供給停止を指示する信号を出力する。これに応じて、高電圧の供給が停止される。

[0006]

At step 1202, standby action until sufficient high voltage is supplied is performed.

This step is unnecessary if it is a fixed power source.

At step 1203, writing-in or the elimination command to a flash memory is written in.

Step 1204 and step 1205 are parts which check the state after step 1203.

If satisfactory, it will output the signal which commands the stoppage of deliveries of the high voltage through the source control port 119 of the high voltage at step 1203.

Supply of the high voltage is stopped according to this.

【0007】

以上が標準電源に加えて高電圧供給源を設けた時の従来の処理動作であるが、このような高電圧源を別に設ける必要があるということは使用上好ましくなく、単一電源で利用できるフラッシュメモリが要望されている。単一電源で利用できるようにするため、現在のフラッシュメモリにおいては、内部に標準電源の電圧 V_{cc} を高電圧 V_{pp} に昇圧回路を設けることで単一電源化を図っている。その場合、この昇圧した高電圧 V_{pp} をコ

[0007]

It is the processing operation of the past when the above provides a high-voltage supply source in addition to a standard power source.

However, the flash memory which it can use preferably on use that it is necessary to provide such a source of the high voltage independently with a single power source is demanded.

In order to enable it to use it with a single power source, in the present flash memory, it is attaining single power-source-ization by providing the voltage V_{cc} of a standard power source in an inside, and providing a pressure-rise circuit in the high voltage V_{pp} .

In that case, it impresses this high voltage V_{pp}



ントロールゲートに印加し、ドレインには+6Vではなく標準電源の電圧 V_{cc} を印加する。これであれば、ドレインのアバランシェブレークダウン電圧は低下するが、コントロールゲートには電流はほとんど流れないため、電流供給能力の小さい内部昇圧回路でも電圧印加ができる。電流量が大きくなるドレインへの電圧印加には、標準電源が使用できるため、単一電源で書き込み及び消去が行える。

that carried out the pressure rise to a control gate, it impresses the voltage V_{cc} of the standard power source instead of +6V to a drain.

If it is this, the avalanche break-down voltage of a drain will fall.

However, since an electric current hardly flows into a control gate, to it, voltage impression is made as for it also in the small internal pressure-rise circuit of electric-current supply capacity.

Since a standard power source can be used, it can perform writing-in and elimination in voltage impression to the drain with which the amount of electric currents becomes bigger with a single power source.

【0008】

[0008]

【発明が解決しようとする課題】

ところが、フラッシュメモリの低消費電力化等のために、標準電源の低電圧化も図られており、上記のドレインに標準電源の電圧 V_{cc} を直接印加する方法では、ドレインに印加する標準電源の電圧 V_{cc} がアバランシェブレークダウンを引き起こす電圧よりも低くなるという状況が生じている。そのため、上記の書き込み方法が使用できなくなるという問題が起きている。

[PROBLEM TO BE SOLVED BY THE INVENTION]

However, reduction in voltage of a standard power source is also attained for the reduction in power consumption of a flash memory etc., by the method of impressing the voltage V_{cc} of a standard power source to the above-mentioned drain directly, the situation where the voltage V_{cc} of the standard power source which it impresses to a drain becomes lower than the voltage which causes an avalanche break down has arisen.

Therefore, the problem of it becoming impossible to use the above-mentioned writing method has occurred.

【0009】

[0009]



そこで、元通り高電圧源を別に設けることが考えられるが、上記の単一電源化を前提として多くのシステムが既に作られており、そのようなシステムに別に高電圧源を必要とするフラッシュメモリを使用する場合、高電圧源を制御するソフトウェアの変更が必要になる。しかしこのような変更作業は煩雑であり、フラッシュメモリの製品としての価値を著しく低下させるという問題がある。

【0010】

また低電圧では使用できないため、標準電源の電圧 V_{cc} を高く設定する必要があり、標準電源の低電圧化ができないという問題がある。本発明は、上記問題点に鑑みてなされたものであり、二電源を使用するが、実質的に単一電源と同様の操作で利用できる使用方法の容易な不揮発性半導体記憶装置の実現を目的とする。

【0011】**【課題を解決するための手段】**

図1は本発明の電氣的消去が可能な不揮発性半導体記憶装置の原理説明図である。図示のように、本発明の不揮発性半導体記

Then, it is possible to provide the source of the high voltage independently as before.

However, many systems are already made on the assumption that the above-mentioned formation of a single power source, when using the flash memory which needs the source of the high voltage for such a system independently, alteration of the soft ware which controls the source of the high voltage is needed.

However, such alteration operation is complicated.

There is a problem of reducing the value as a product of a flash memory remarkably.

[0010]

Moreover, by a low voltage, since it cannot be used, it is necessary to set up the voltage V_{cc} of a standard power source highly.

There is a problem that reduction in voltage of a standard power source is not made.

This invention was made in view of the above-mentioned problem.

It uses two power sources.

However, it aims at an achievement of the easy non-volatile semiconductor memory of the method of application which can be substantially used by the operation similar to a single power source.

[0011]**[MEANS TO SOLVE THE PROBLEM]**

FIG. 1 is principle explanatory drawing of the non-volatile semiconductor memory which can perform electric elimination of this invention.

Like illustration, the non-volatile semiconductor

憶装置は、データの書き込み時又は消去時に、読出時に使用する電源電圧 V_{cc} よりも高い電源電圧 V_{pp} を必要とし、標準電源用端子の他に外部の高電圧供給手段 2 から供給される高電圧用の電源端子 6 を備える不揮発性半導体記憶装置であり、上記目的を実現するため、高電圧供給手段 2 に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子 7 を備えることを特徴とする。

【0012】

更に、本発明の第二の態様の不揮発性半導体記憶装置は、不揮発性半導体記憶装置自体に入力されるコマンド信号から高電圧が必要な動作であるかを判定するコマンド判定手段を備え、このコマンド判定手段は高電圧が必要なコマンドの時には高電圧供給の開始を指示する制御信号を出力し、高電圧が必要でなければ高電圧供給の停止を指示する制御信号を出力することを特徴とする。

【0013】**【作用】**

本発明の不揮発性半導体記憶装置 (EEPROM) は、高電圧

memory of this invention needs the source voltage V_{pp} higher than the source voltage V_{cc} which it uses at the time of read-out at the time of writing-in of data, or elimination, it is a non-volatile semiconductor memory equipped with the power terminal 6 for high voltages supplied from the external high-voltage supply means 2 besides the terminal for standard power sources.

In order to implement the above-mentioned objective, it is characterized by having the high-voltage control-signal terminal 7 which outputs the control signal which controls whether it makes the high voltage supply to the high-voltage supply means 2.

[0012]

Furthermore, the non-volatile semiconductor memory of 2nd aspect of this invention is equipped with command evaluation means to judge whether it is action which needs the high voltage, from the command signal input into the non-volatile semiconductor memory itself, and this command evaluation means output the control signal which commands the start of high-voltage supply, when the high voltage is a required command, if the high voltage is not required, it will be characterized by outputting the control signal which commands the stop of high-voltage supply.

[0013]**[OPERATION]**

The non-volatile semiconductor memory (EEPROM) of this invention is equipped with

供給手段 2 に高電圧を供給させるかどうかを制御する制御信号を出力する高電圧制御信号端子 7 を備えており、必要に応じて制御信号を出力する。そのため、従来のようにシステム側から高電圧供給手段 2 を制御する必要がなく、単一電源の不揮発性半導体記憶装置の場合と同様に、不揮発性半導体記憶装置をアクセスすれば、必要に応じて不揮発性半導体記憶装置が自動的に高電圧供給手段 2 を制御する。従って、単一電源の不揮発性半導体記憶装置と同様の操作を行えばよく、ソフトウェアの変更等は必要ない。

【0014】

図 2 は本発明の不揮発性半導体記憶装置 (EEPROM) を用いたシステムにおける高電圧を必要とする動作を行う時の処理手順を示すフローチャートである。左側のステップ 201 から 204 はシステム側の処理を示しており、右側のステップ 210 から 213 は EEPROM の処理を示している。ステップ 201 では、EEPROM へ書き込み/消去コマンドを送出する。これに応じて、EEPROM は、ステップ 210 で、書き込み/消去コマンドであるかを

the high-voltage control-signal terminal 7 which outputs the control signal which controls whether it makes the high voltage supply to the high-voltage supply means 2, it outputs a control signal as required.

Therefore, it is not necessary to control the high-voltage supply means 2 from the system side in accordance with the prior art, and like the case where it is the non-volatile semiconductor memory of a single power source, if a non-volatile semiconductor memory is accessed, a non-volatile semiconductor memory will control the high-voltage supply means 2 automatically as required.

Therefore, what is sufficient is just to perform the operation similar to the non-volatile semiconductor memory of a single power source.

Alteration of the soft ware etc. is unnecessary.

[0014]

FIG. 2 is a flowchart which shows the processing procedure when performing action which needs the high voltage in the system which used the non-volatile semiconductor memory (EEPROM) of this invention.

Left-hand side steps 201-204 show the processing by the side of a system, right-hand side steps 210-213 show processing of EEPROM.

At step 201, it sends out writing-in/elimination command to EEPROM.

According to this, EEPROM is step 210 and judges whether it is writing-in/elimination command.

Since the high voltage is unnecessary if it is

判定する。もし読出動作であれば、高電圧は必要ないので、以下の処理を行わずに読出動作を行う。もし書き込み／消去動作であれば、ステップ 211 で、高電圧制御信号端子 7 から高電圧の出力を開始する指示を送出する。その後、供給される高電圧の電圧値が十分な値になるまで待機するが、前述のように、高電圧電源が固定電源であれば、待機動作は必要ない。

【0015】

高電圧の電圧値が十分な値になった後、ステップ 212 で書き込み／消去動作を行う。消去動作の場合には、システム側は何の動作も行う必要がなく、別の処理を行う。書き込み動作であれば、システム側が書き込みデータを送出する。いずれにしろ、書き込み／消去動作の途中又は終了時点でシステム側が確認動作を行う。これがステップ 202 と 203 である。

【0016】

ステップ 204 では、EEPROM への書き込み／消去動作が終了したことを通知する信号を送出する。これに応じて、EEPROM は、ステップ 213 で高電圧の供給停止を指示する信号を送出する。書き込み／消去動作は、通常大量のデータをま

read-out action, it performs read-out action, without performing the following processings.

If it is writing-in/elimination action, it sends out the directions which start the output of the high voltage from the high-voltage control-signal terminal 7 at step 211.

It waits until the voltage value of the high voltage supplied turns into sufficient value after that.

However, as mentioned above, if a high-voltage power supply is a fixed power source, standby action is unnecessary.

[0015]

After the voltage value of the high voltage turns into sufficient value, it performs writing-in/elimination action at step 212.

In elimination action, the system side needs to perform no action and performs another processing.

If it is write-in action, the system side sends out write-in data.

Either way, the system side performs check action in the middle of writing-in/elimination actions time, or at the completion of the actions. This is steps 202 and 203.

[0016]

At step 204, it sends out the signal which notifies that writing-in/elimination action to EEPROM was completed.

According to this, EEPROM sends out the signal which commands the stoppage of deliveries of the high voltage at step 213.

It performs writing-in/elimination action by usually gathering a lot of data.



とめて行うので、書き込み／消去動作はある程度の時間連続しておこなわれる。従って、EEPROMはある程度の時間書き込み／消去動作が行われなかったことを検出した時に自動的に高電圧の供給停止を指示する信号を送出するようにしてもよい。

【0017】

いずれにしても、システム側の処理は図12に示した従来例に比べて簡単になる。

【0018】**【実施例】**

図3は本発明の実施例の全体構成を示す図である。図において、31は中央処理装置（CPU）、32はROM／RAM、33はI／Oポート、34は周辺装置、35は本発明のフラッシュメモリ、36は高電圧を発生するDC-DCコンバータである。DC-DCコンバータ36はフラッシュメモリ35からの制御信号によって起動及び停止が制御される。

【0019】

図11と比較して明らかなように、CPUがDC-DCコンバータ36を制御するための出力ポートがない。図3の構成は、

Therefore, writing-in/elimination action is performed continuously a certain amount of time.

Therefore, when it detects that a certain amount of time writing-in / elimination action was not performed, it is sufficient to make it EEPROM send out the signal which commands the stoppage of deliveries of the high voltage automatically.

[0017]

Anyway, the processing by the side of a system becomes easily compared with the prior art example shown in FIG. 12.

[0018]**[EXAMPLES]**

FIG. 3 is the figure showing the whole Example composition of this invention.

In the figure, 31 is a central processing unit (CPU) and 32 is ROM/RAM, 33 is an I/O port, 34 is the peripheral equipment, 35 is the flash memory of this invention, 36 is a DC-DC converter which generates the high voltage.

As for DC-DC converter 36, starting and a stop are controlled by the control signal from a flash memory 35.

[0019]

Compared with FIG. 11, there is no output port for CPU to control DC-DC converter 36 clearly.

The composition of FIG. 3 is the same as the case where the flash memory of a single power



単一電源のフラッシュメモリを使用する場合と同じである。図4は、図3のフラッシュメモリの内部構成を示す図である。図示のように、このフラッシュメモリは、アドレスバッファ41、行デコーダ42、列デコーダ43、メモリセルマリクス44、読出／書き込みアンプ45、入出力バッファ46及び制御部47を有しており、外部入出力端子として、アドレス端子、データ端子、標準電源（Vcc）端子、高電圧（Vpp）端子及び制御端子を有している。これらは従来のフラッシュメモリと同じである。

【0020】

従来のフラッシュメモリと異なるのは、コマンド判定部49と電圧確認回路48を有する点と、外部入出力端子として高電圧源制御端子を有する点である。コマンド判定部49は、例えば、フラッシュメモリへの書き込み／消去動作のコマンドコードとの一致を検出する比較回路であり、CPU31がフラッシュメモリへの書き込み／消去コマンドを出力した時に、これを検出して高電圧源制御端子に高電圧の供給開始を指示する信号を出力する。また書き込み信号*WEでリセットされるタイマー回路でもよい。

source is used.

FIG. 4 is the figure showing the internal composition of the flash memory of FIG. 3.

Like illustration, this flash memory has an address buffer 41, the line decoder 42, the row decoder 43, memory-cell matrix 44, read-out / write-in amp 45, the input-output buffer 46, and the control part 47, as an external input-output terminal, it has an address terminal, the data terminal, the standard power-source (Vcc) terminal, the high-voltage (Vpp) terminal, and the control terminal.

These are the same as the flash memory of the past.

[0020]

Differing from the flash memory of the past are the command evaluation part 49, the point of having the voltage checking circuit 48, and the point of having a source control terminal of the high voltage as an external input-output terminal.

The command evaluation part 49 is a comparison circuit which detects the alignment with command coding of writing-in/elimination action to a flash memory, for example.

When CPU31 outputs writing-in/elimination command to a flash memory, it outputs the signal which detects this and commands the supply start of the high voltage for the source control terminal of the high voltage.

Moreover, it is possible also in the timer circuit reset by write-in signal *WE.

【0021】

電圧確認回路48は、供給される高電圧が所定以上の電圧値を有するかを検出する回路であり、例えば、図6に示すような回路である。なお、図6の回路は、高電圧だけでなく、内部電源線に印加される高電圧 V_{pp} と標準電圧 V_{cc} がそれぞれの所定値以上であるかを判定する。図6において、61は制御部の本体部分であり、後述するような処理を行うシーケンス回路である。62はコンパレータであり、内部電源線64に印加される電圧を抵抗65で分圧した電圧を二種類の基準電圧 r_1 及び r_2 と比較する。比較する基準電圧はスイッチ63で切り換えられる。

【0022】

図5は本実施例のフラッシュメモリにおける外部電源制御動作を示している。ステップ501では、CPUからフラッシュメモリに出力される信号を調べて、高電圧が必要であるかが判定される。もし高電圧が必要であれば、ステップ502でDC-DCコンバータ36への起動信号を送出する。DC-DCコンバータは、起動後所定の電圧

[0021]

The voltage checking circuit 48 is a circuit which detects whether the high voltage supplied has a voltage value more than prescribed.

For example, it is a circuit as shown in FIG. 6.

In addition, the circuit of FIG. 6 judges whether the high voltage V_{pp} impressed not only to the high voltage but to an internal electrical power source line and a standard voltage V_{cc} are beyond each prescribed value.

In FIG. 6, 61 is the main-body part of a control part.

It is the sequence circuit which performs processing which is mentioned later.

62 is a comparator.

It compares the voltage which carried out the partial pressure of the voltage impressed to the internal electrical power source line 64 by resistance 65 with the 2 types of reference voltages r_1 and r_2 .

The reference voltage to compare is switched by switch 63.

[0022]

FIG. 5 shows the external-energizer control action in the flash memory of this Example.

At step 501, it examines the signal outputted to a flash memory from CPU, and it is judged whether the high voltage is required.

If the high voltage is required, it sends out the starting signal to DC-DC converter 36 at step 502.

It takes a certain amount of time for a DC-DC converter to output an after-starting prescribed voltage.



を出力するまである程度の時間を要する。そこでステップ502で、電圧確認回路50が内部電源線の電圧が所定値以上であることを検出するまで待機する。

【0023】

電圧が所定値以上になった時点で、ステップ504の書き込み又は消去動作を行う。この動作は連続して行われる。すべての書き込み又は消去動作が終了した後、ステップ505で、書き込みの場合はデータが正確に書き込まれているかを確認し、消去の場合は正しく消去されているかが確認される。問題がなければ、ステップ506でDC-DCコンバータ36への停止信号を送出するが、同時に内部電源が切り換えられる。これに応じてDC-DCコンバータ36は昇圧を停止する。

【0024】

ステップ507では、切り換えた内部電源が通常の電圧に復帰したことが確認され、終了する。図5の処理動作では、図6の電圧確認回路を用いてDC-DCコンバータ36から出力される電圧を確認したが、起動後所定電圧に達するまでの時間をあらかじめ測定しておけば、高電圧を必要とする動作をこの時間経

Then, it waits until the voltage checking circuit 50 detects that the voltage of an internal electrical power source line is beyond a prescribed value at step 502.

[0023]

When a voltage becomes more than a prescribed value, it performs writing-in or elimination action of step 504.

This action is performed continuously.

After all writing-in or elimination actions are completed, it checks whether as for the case of writing-in, data are written in correctly at step 505, it is checked whether in elimination, it is eliminated correctly.

If satisfactory, it sends out the stop signal to DC-DC converter 36 at step 506.

However, an internal electrical power source is switched simultaneously.

According to this, DC-DC converter 36 stops a pressure rise.

[0024]

At step 507, it is checked that the switched internal electrical power source has reset to the usual voltage, it completes.

In the processing operation of FIG. 5, it checked the voltage outputted from DC-DC converter 36 using the voltage checking circuit of FIG. 6.

However, as long as it measures beforehand time until it reaches an after-starting prescribed voltage, it is sufficient to make it start action which needs the high voltage after this time

過後開始するようにしてもよい passage.

い。図 7 はそのための回路例で FIG. 7 is an example of a circuit for it.
ある。

【 0 0 2 5 】

制御部本体 7 1 は、高電圧を必要とする動作であることを確認すると、高圧電源制御端子に DC-DC コンバータを起動する信号を出力して一時的に動作を停止する。この起動信号は、遅延回路 7 2 にも入力され、遅延回路 7 2 は所定時間後制御部本体 7 1 に遅延信号を送出する。これに応じて、制御部本体 7 1 は動作を再開する。

[0025]

If it checks that it is action which needs the high voltage, the control part main body 71 will output the signal which starts a DC-DC converter to a high-voltage-power-supply control terminal, and will stop action temporarily. This starting signal is input also into a delay circuit 72, a delay circuit 72 sends out a delay signal to the control-after predetermined time part main body 71. According to this, the control part main body 71 restarts action.

【 0 0 2 6 】

図 5 の制御動作は当然マイクロコンピュータを利用しても実現できるが、フラッシュメモリにマイクロコンピュータを組み込むのは現実的でなく、ここでは上記の遅延回路や論理回路を組み合わせて制御回路を実現している。上記の実施例においては DC-DC コンバータ 3 6 をフラッシュメモリ 3 5 の外部に設けたが、DC-DC コンバータをフラッシュメモリに組み込むこともでき、その場合でもこれまで説明した制御機構は有用である。ここで DC-DC コンバータについて説明する。

[0026]

Even if the control action of FIG. 5 naturally utilizes a microcomputer, it is realizable. However, it is not realistic to build a microcomputer into a flash memory, and it has implemented the control circuit here combining the above-mentioned delay circuit and the above-mentioned logic circuit. In the above-mentioned Example, it provided DC-DC converter 36 in the exterior of a flash memory 35. However, the control system which could also integrate the DC-DC converter in the flash memory, and demonstrated it even in such a case until now is useful. It demonstrates a DC-DC converter here.

【 0 0 2 7 】**[0027]**

図 8 及び 9 は、DC-DC コンバータ回路の基本構成を示す図である。図 8 はインダクタンス素子を用いた例である。図において、82 は発振回路であり、83 は昇圧動作を制御するためのスイッチである。84 は発振回路 82 からの信号でオン・オフするスイッチであり、85 はダイオードであり、86 は標準電源とダイオード 85 との間に接続されたインダクタンス素子、具体的にはコイルである。スイッチ 84 がオン・オフすることによりトランスと同様の原理によってダイオード 85 の入力端の電圧振幅が増大し、ダイオード 85 によって高電圧成分のみが出力端に流れ込み昇圧が行われる。スイッチ 83 を切り換えることにより、スイッチ 84 がオン・オフするかどうかを制御され、昇圧の制御が行われる。ここで、コイル 86 以外の部分は比較的小型にすることが可能であり、フラッシュメモリに組み込むことができるが、コイル 86 は性能との関係であまり小型にはできない。そのため DC-DC コンバータをフラッシュメモリに組み込む場合に、コイル 86 のみフラッシュメモリの外部より取り付けることが望ましい。

【0028】

FIG. 8 and 9 are the figures showing the basic composition of a DC-DC-converter circuit.

FIG. 8 is the example which used the inductance element.

In the figure, 82 is an oscillation circuit.

83 is a switch for controlling pressure-rise action.

84 is a switch which carries out an on-off by the signal from an oscillation circuit 82.

85 is a diode.

86 is a coil at the inductance element and concrete target which were connected between the standard power source and diode 85.

When switch 84 carries out an on-off, the voltage amplitude of the input port of diode 85 increases by the principle similar to a trans, a flow pressure rise is performed only for a high-voltage component at an output end by diode 85.

By switching switch 83, it is controlled whether switch 84 carries out an on-off, control of a pressure rise is performed.

Here, it can make parts other than coil 86 comparatively small, and can integrate them in a flash memory.

However, coil 86 is not made not much small in a concern with capability.

Therefore, when integrating a DC-DC converter in a flash memory, it is desirable to attach only coil 86 from the exterior of a flash memory.

[0028]



図9は、受動部品として容量素子（コンデンサ）を用いたDC-DCコンバータ回路の基本構成を示す図であり、詳しい説明は省略するが発振器92を動作させるかさせないかによって、昇圧の制御が行われる。図9の回路においても、容量素子94をフラッシュメモリに組み込むは難しいため、容量素子94のみフラッシュメモリの外部より取り付けることが望ましい。

【0029】

図10は、フラッシュメモリ102とDC-DCコンバータ103を組み合わせた素子に、上記のインダクタンス素子及び容量素子等の受動部品104を取り付けて一個のパッケージに収容したものである。

【0030】**【発明の効果】**

本発明により、二電源を必要とするフラッシュメモリ等のEEPROMが一電源のEEPROMと同様の操作で使えるようになる。また、これによりフラッシュメモリに電源用の昇圧回路を組み込む必要がなくなるため、フラッシュメモリ自体の低電源電圧化も可能になる。

FIG. 9 is the figure showing the basic composition of a DC-DC-converter circuit which used the capacity element (condenser) as a passive component part.

Although detailed explanation is omitted, control of a pressure rise is performed by whether it operates oscillator 92 or it does not carry out.

Since it is difficult to build in the capacity element 94 into a flash memory also in the circuit of FIG. 9, it is desirable to attach only the capacity element 94 on the exterior of a flash memory.

[0029]

FIG. 10 attached the passive component parts 104, such as the above-mentioned inductance element and a capacity element, to the element which combined the flash memory 102 and DC-DC converter 103, and accommodated them in the package of a piece.

[0030]**[ADVANTAGE OF THE INVENTION]**

By this invention, EEPROM(s), such as a flash memory which needs two power sources, can use it now by the operation similar to EEPROM of one power source.

Moreover, since it becomes unnecessary to integrate the pressure-rise circuit for power sources in a flash memory by this, it comes to be also able to perform low source-voltage-ization of the flash memory itself.

【図面の簡単な説明】**[BRIEF DESCRIPTION OF THE DRAWINGS]****【図 1】**

本発明の不揮発性半導体記憶装置の原理説明図である。

[FIG. 1]

It is principle explanatory drawing of the non-volatile semiconductor memory of this invention.

【図 2】

本発明の不揮発性半導体記憶装置 (EEPROM) を用いたシステムの高電圧を必要とする動作時の処理手順を示すフローチャートである。

[FIG. 2]

It is the flowchart which shows the processing procedure at the time of action which needs the high voltage of the system using the non-volatile semiconductor memory (EEPROM) of this invention.

【図 3】

本発明の実施例の全体構成を示す図である。

[FIG. 3]

It is the figure showing the whole Example composition of this invention.

【図 4】

実施例におけるフラッシュメモリの構成を示す図である。

[FIG. 4]

It is the figure showing the composition of the flash memory in an Example.

【図 5】

実施例のフラッシュメモリにおける制御動作を示すフローチャートである。

[FIG. 5]

It is the flowchart which shows the control action in the flash memory of an Example.

【図 6】

電圧確認回路の例を示す図である。

[FIG. 6]

It is the figure showing the example of a voltage checking circuit.

【図 7】

制御信号送出後所定時間で次の動作へ移る回路構成例を示す図である。

[FIG. 7]

It is the figure showing the example of circuit composition from which it shifts to the following action by the predetermined time after

control-signal sending out.

【図 8】

DC-DCコンバータの第一の回路例を示す図である。

[FIG. 8]

It is the figure showing the first example of a circuit of a DC-DC converter.

【図 9】

DC-DCコンバータの第二の回路例を示す図である。

[FIG. 9]

It is the figure showing the 2nd example of a circuit of a DC-DC converter.

【図 10】

DC-DCコンバータ内蔵のフラッシュメモリの実施例を示す図である。

[FIG. 10]

It is the figure showing the Example of a flash memory with a built-in DC-DC converter.

【図 11】

従来のフラッシュメモリを用いたシステムの構成例を示す図である。

[FIG. 11]

It is the figure showing the example of composition of the system using the flash memory of the past.

【図 12】

従来のフラッシュメモリを用いたシステムの制御動作を示すフローチャートである。

[FIG. 12]

It is the flowchart which shows the control action of the system using the flash memory of the past.

【符号の説明】

- 1…不揮発性半導体記憶装置
- 2…高電圧供給手段
- 5…標準電源用端子

[DESCRIPTION OF SYMBOLS]

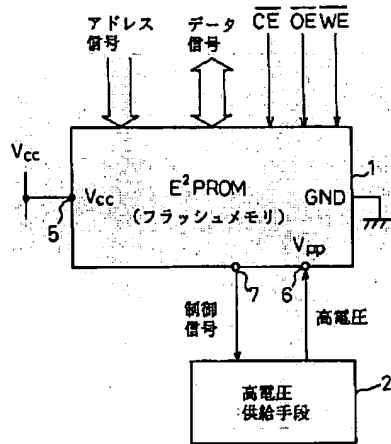
- 1... a non-volatile semiconductor memory
- 2... high-voltage supply means
- 5... the terminal for standard power sources

- 6…高電圧用の電源端子
- 7…高電圧制御信号端子

- 6... the power terminal for high voltages
- 7... a high-voltage control-signal terminal

【図 1】

[FIG. 1]

本発明のE²PROMの原理説明図

本発明の E2PROM の原理説明図: principle explanatory drawing of E2PROM of this invention

1: Non-volatile semiconductor memory

2: High-voltage supply means

5: Terminal for standard power sources

6: Power terminal for high voltages

アドレス信号: Address signal

データ信号: Data signal

フラッシュメモリ: Flash memory

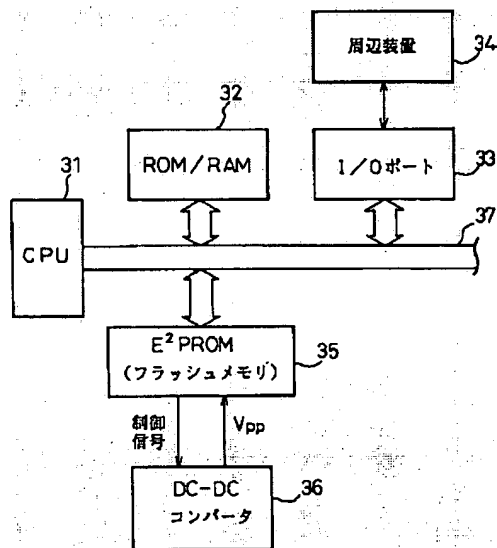
制御信号: Control signal

高電圧: High voltage

【図 3】

[FIG. 3]

実施例の全体構成



実施例の全体構成: Whole composition of Example

31: Central processing unit (CPU)

32: ROM/RAM

33: I/O port

34: Peripheral equipment

35: Flash memory

36: DC-DC converter

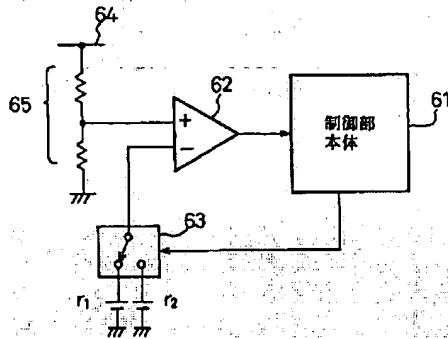
37: (Not specified)

制御信号: Control signal

【図 6】

[FIG. 6]

電圧確認回路の例



電圧確認回路の例: Example of voltage checking circuit

61: Main-body part of a control par

62: Comparator

63: Switch

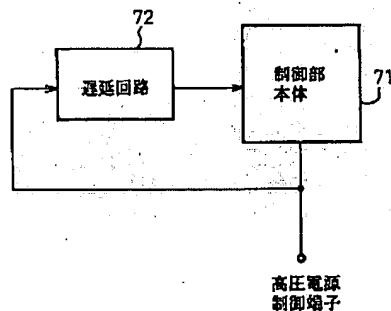
64: Internal electrical power source line

65: Resistance

【図 7】

[FIG. 7]

制御信号送出後所定時間で次の動作へ移る例



制御信号送出後所定時間で次の動作に移る例: Example which it shifts to the following action by the predetermined time after control-signal sending out.

高圧電源制御端子: High-voltage-power-supply control terminal

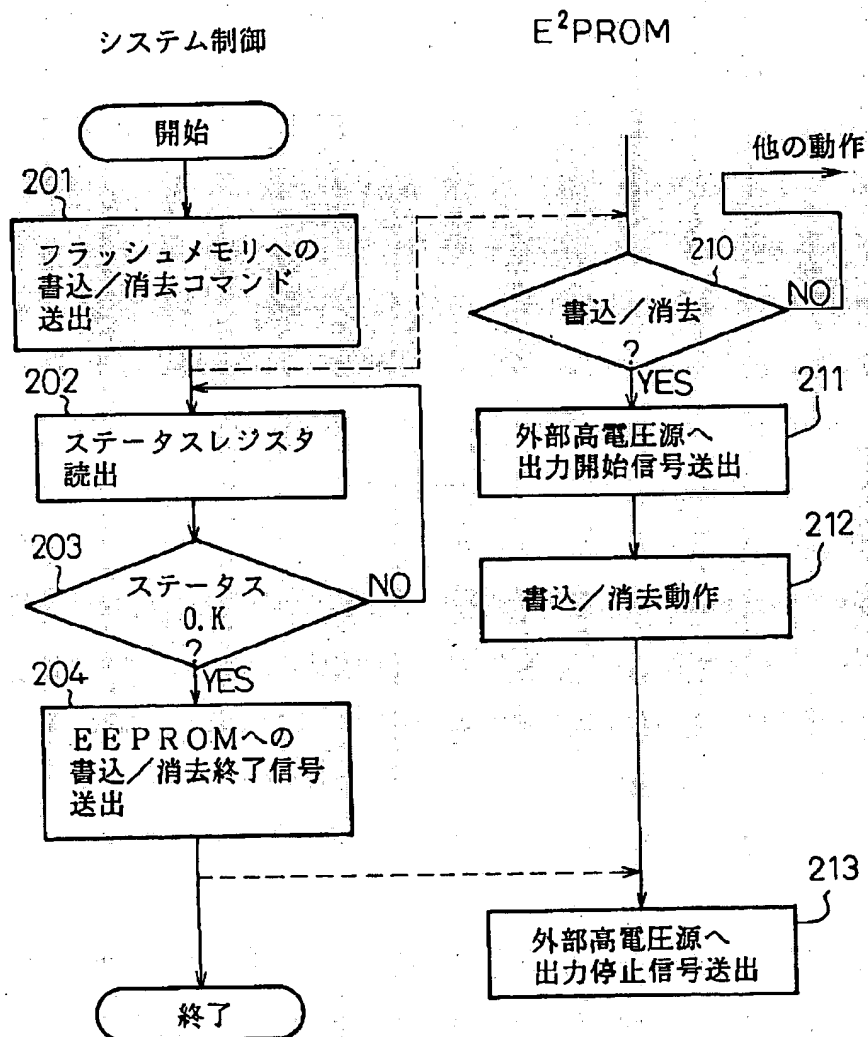
71: Control part main body

72: Delay circuit

【図 2】

[FIG. 2]

本発明のE²PROMを用いたシステムの高電圧
必要動作の処理手順



本発明の E2PROM を用いたシステム高電圧必要動作の処理手順: Procedure



steps of necessary action of system high voltage using E2PROm of this invention

システム制御: System control

開始: Start

他の動作: Other action

終了: End

201: Write to flash memory / send elimination command

202: Read status register

203: Status OK?

204: Write to EEPROM / send a elimination end signal

210: Write / eliminate?

211: Send output start signal to external high voltage source

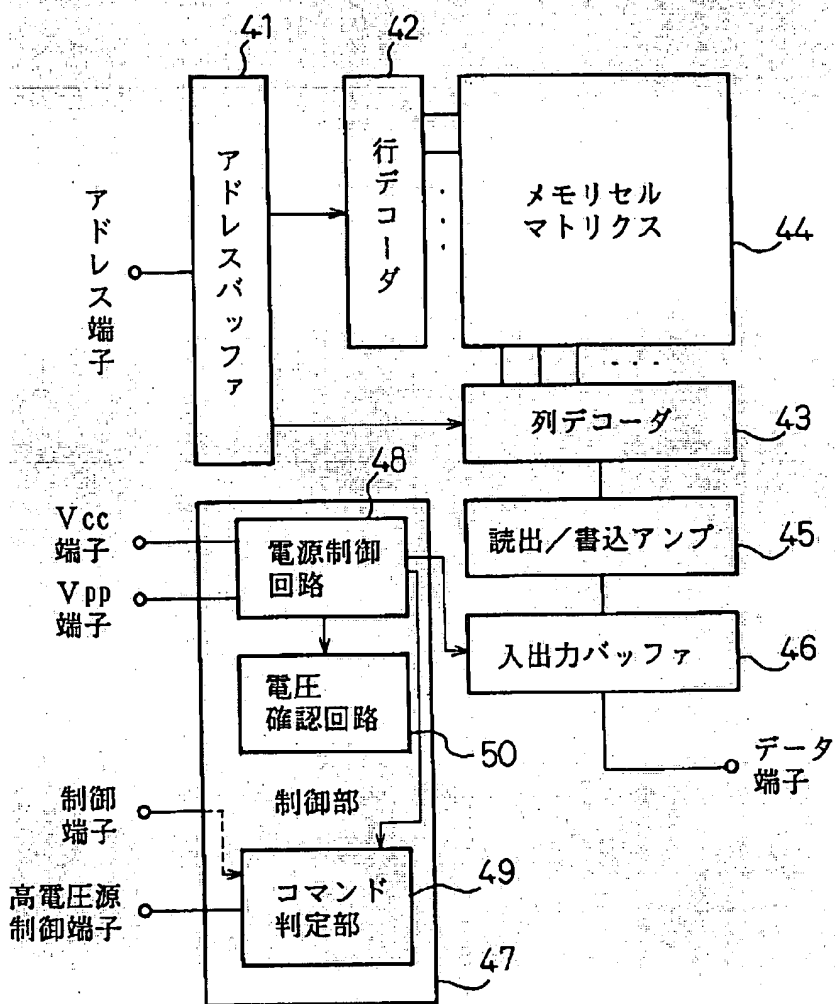
212: Write / elimination actuation

213: Sends output end signal to external high voltage source

【図 4】

[FIG. 4]

実施例におけるフラッシュメモリの構成



実施例におけるフラッシュメモリの構成: Composition of flash memory in Example

アドレス端子: Address terminal

端子: Terminal

高圧電源制御端子: High-voltage-power-supply control terminal

制御端子: Control terminal

データ端子: Data terminal


41: Address buffer

42: Line decoder

43: Row decoder

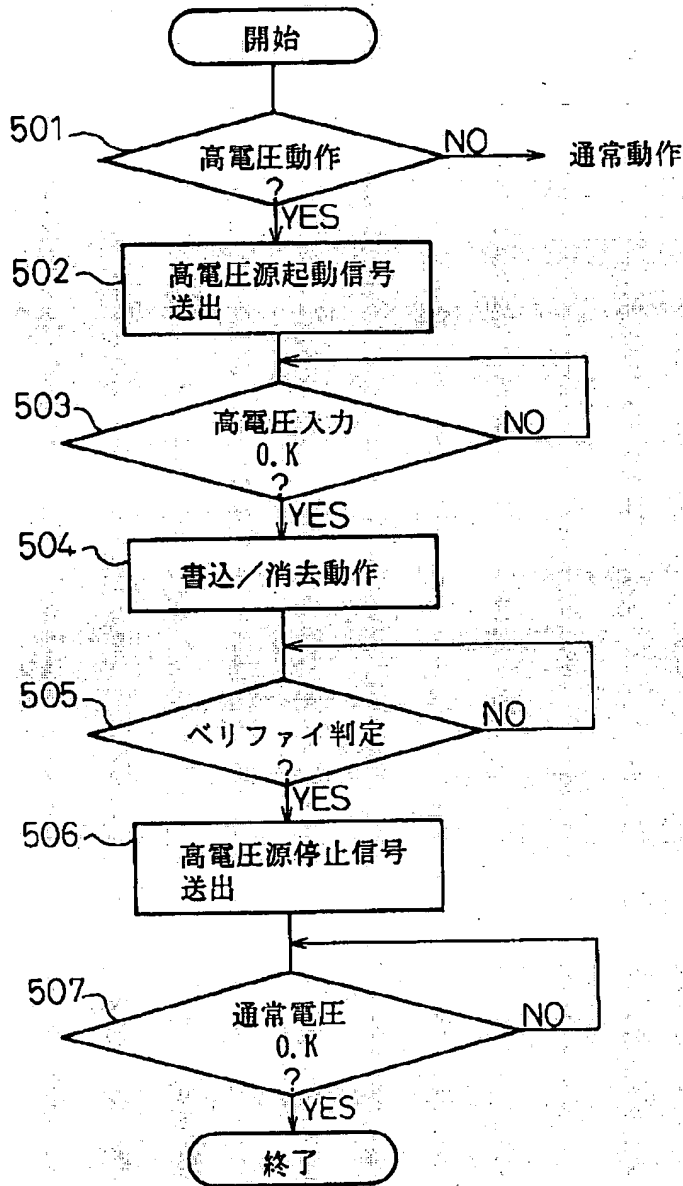


- 44: Memory-cell matrix
- 45: Read-out / write-in amp
- 46: Input-output buffer
- 47: Control part
- 48: Voltage checking circuit
- 49: Command evaluation part
- 50: Voltage checking circuit

【 5】

[FIG. 5]

実施例のフラッシュメモリにおける制御動作



実施例のフラッシュメモリにおける制御動作: Control action in flash memory of es

通常動作: Normal action

開始: Start

終了: End

501: High voltage action?

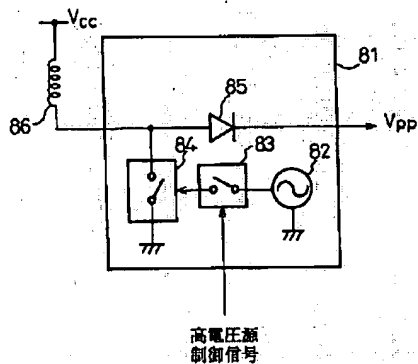
502: Send High-voltage-power-supply start signal

- 503: High voltage input OK?
- 504: Write / elimination action
- 505: The verify determination?
- 506: Send High-voltage-power-supply end signal
- 507: Normal voltage OK?

【図 8】

[FIG. 8]

DC-DCコンバータ回路例(その1)



DC-DC コンバータ回路例(その 1): Example of a DC-DC-converter circuit (1)

高電圧電源制御端子: High-voltage-power-supply control terminal

81: (Not specified)

82: Oscillation circuit

83: Switch

84: Switch

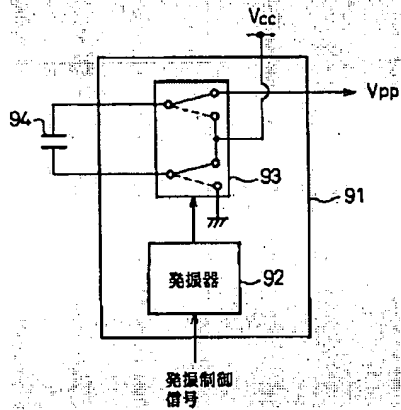
85: Diode

86: Coil

【図 9】

[FIG. 9]

DC-DCコンバータ回路例(その2)



DC-DC コンバータ回路例(その 1): Example of a DC-DC-converter circuit (1)

高压电源控制端子: High-voltage-power-supply control terminal

81: (Not specified)

82: Oscillation circuit

83: Switch

84: Switch

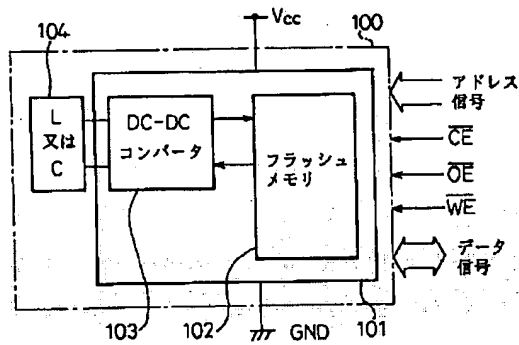
85: Diode

86: Coil

【図 10】

[FIG. 10]

DC-DCコンバータ内蔵フラッシュメモリの実施例



DC-DC コンバータ内蔵フラッシュメモリの実施例: Example of flash memory with a built-in DC-DC converter

100: (Not specified)

101: (Not specified)

102: Flash memory

103: DC-DC converter

104: Component parts

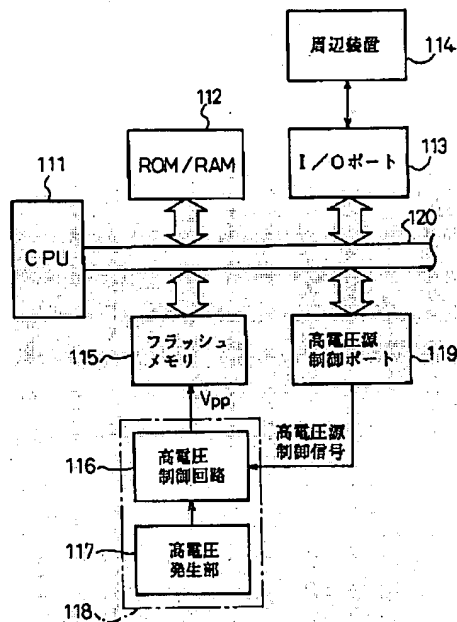
アドレス信号: Address signal

データ信号: Data signal

【図 11】

[FIG. 11]

従来のフラッシュメモリを用いたシステム構成例



従来のフラッシュメモリを用いたシステム構成例: Ethe example of composition of the system using the flash memory of the past.

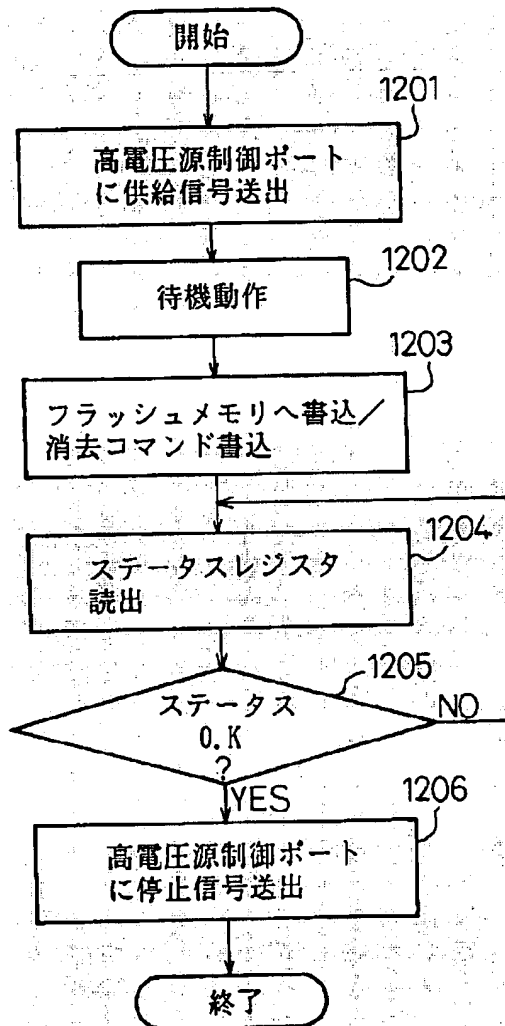
- 111: Central processing unit (CPU)
- 112: ROM/RAM
- 113: Input-output port (I/O) port
- 114: Peripheral equipment
- 115: Flash memory
- 116: High-voltage control circuit
- 117: High-voltage generating part
- 118: High-voltage supply source
- 119: Control port
- 120: (Not specified)

【図 12】

[FIG. 12]



従来例のシステム制御動作



従来例のシステム制御動作: System control action of the prior art example

開始: Start

終了: End

1201: Send supply signal to the source control port of the high voltage

1202: Standby action

1203: Write to flash memor / write elimination command

1204: Read status register

1205: Status OK?

1206: Send stop signal to the source control port of the high voltage

JP6-203584-A



THOMSON SCIENTIFIC TERMS AND CONDITIONS

Thomson Scientific Ltd shall not in any circumstances be liable or responsible for the completeness or accuracy of any Thomson Scientific translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Thomson Scientific Ltd. is part of The Thomson Corporation

Please visit our website:

["www.THOMSONDERWENT.COM"](http://www.THOMSONDERWENT.COM) (English)

["www.thomsonscientific.jp"](http://www.thomsonscientific.jp) (Japanese)